

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-210020
(P2001-210020A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.	識別記号	F I	テ-マード*(参考)
G 11 B 20/10	3 2 1	G 11 B 20/10	3 2 1 Z 5 D 0 4 4
20/14	3 5 1	20/14	3 5 1 A 5 J 1 0 6
H 03 L 7/08		H 03 L 7/08	H 5 K 0 4 7
H 04 L 7/033			M
7/02		H 04 L 7/02	B

審査請求 未請求 請求項の数9 O L (全14頁) 最終頁に続く

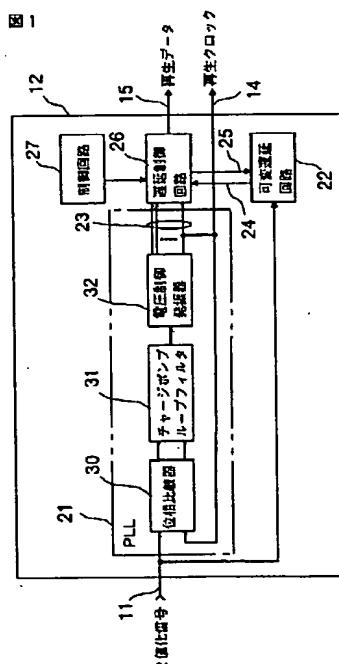
(21)出願番号	特願2000-23261(P2000-23261)	(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成12年1月27日(2000.1.27)	(71)出願人 000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号
		(72)発明者 神保 裕紀 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体グループ内
		(74)代理人 100089071 弁理士 玉村 静世
		最終頁に続く

(54)【発明の名称】 記録情報再生装置

(57)【要約】

【課題】 記録媒体から読み取られた信号から同期クロック信号を生成してデータを再生する際に生じる誤りを低減でき、高品質なデジタルデータの再生を可能にする記録情報再生装置を提供する。

【解決手段】 データ再生手段(12)は、2値化信号(11)を参照信号としPLL回路(21)で再生クロック信号(14)を生成する。PLL回路の電圧制御発振器(32)は、再生クロック信号と共に位相が夫々 $2\pi/n$ ずつ大凡均等にずれたn本のクロック信号(23)を出力する。2値化信号を可変遅延回路(22)で遅延した遅延信号(24)と前記n本のクロック信号との位相関係をもとに、遅延制御回路(26)が、前記遅延信号の変換点を前記再生クロック信号の立ち上がりタイミングから遠ざける方向に変化させる遅延制御信号を可変遅延回路に出力する。



【特許請求の範囲】

【請求項1】 記録媒体から読み取られてデジタル化された2値化信号に基いて位相同期ループ回路で同期クロック信号を再生すると共に前記同期クロック信号に前記2値化信号を同期化した再生データを生成するデータ再生手段を有する記録情報再生装置であって、前記位相同期ループ回路は位相比較結果に応じて遅延時間が決定される奇数段の遅延ゲートから成るリングオシレータを電圧制御発振器に有し、前記遅延ゲートの所定の出力が前記同期クロック信号とされ、

前記データ再生手段は更に、前記2値化信号を可変に遅延させて出力可能な可変遅延回路と、可変遅延回路から出力される遅延信号の位相状態を前記複数個の遅延ゲートから出力される夫々のクロック信号の位相状態との関係から検出し、前記同期クロック信号に対して前記遅延信号に所定の位相差を形成するように可変遅延回路に遅延制御信号を出力する遅延制御回路と、を有して成るものであることを特徴とする記録情報再生装置。

【請求項2】 記録媒体から読み取られてデジタル化された2値化信号に基いて位相同期ループ回路で同期クロック信号を再生すると共に前記同期クロック信号の第1の変化に前記2値化信号を同期化した再生データを生成するデータ再生手段を有する記録情報再生装置であつて、

前記位相同期ループ回路は位相比較結果に応じて遅延時間が決定される奇数段の遅延ゲートから成るリングオシレータを電圧制御発振器に有し、前記遅延ゲートの所定の出力が前記同期クロック信号とされ、

前記データ再生手段は更に、前記2値化信号を可変に遅延させた遅延信号を出力可能な可変遅延回路と、夫々の遅延ゲートの出力クロック信号の第1の変化に同期して前記遅延信号をラッチする複数個のラッチ回路と、前記複数個のラッチ回路から出力される信号状態に基いて前記遅延信号の位相状態を検出する位相検出回路と、前記位相検出回路の検出結果に基づいて前記遅延信号の位相変化タイミングを前記同期クロック信号の第1の変化タイミングから遠ざかる方向に変化させるよう遅延回路に遅延制御信号を出力する信号形成回路と、を有して成るものであることを特徴とする記録情報再生装置。

【請求項3】 記録媒体から読み取られてデジタル化された2値化信号に基いて位相同期ループ回路で同期クロック信号を再生すると共に前記同期クロック信号の第1の変化に前記2値化信号を同期化した再生データを生成するデータ再生手段を有する記録情報再生装置であつて、

前記位相同期ループ回路は位相比較結果に応じて遅延時間が決定される奇数段の遅延ゲートから成るリングオシレータを電圧制御発振器に有し、前記遅延ゲートの所定の出力が前記同期クロック信号とされ、

前記データ再生手段は更に、前記2値化信号を可変に遅

延させた遅延信号を出力可能な可変遅延回路と、前記遅延信号及び夫々の遅延ゲートの出力クロック信号を入力して前記可変遅延回路に遅延制御信号を出力する遅延制御回路とを有し、

前記遅延制御回路は、前記遅延ゲートの出力クロック信号に対応して、当該出力クロック信号を受けるラッチクロック端子が共通接続され、前記ラッチクロック端子に供給される前記遅延ゲートの出力クロック信号の第1の変化に同期してラッチ動作を行い、初段のラッチデータ

10 入力端子に前記遅延信号が供給される複数段直列結合されたラッチ回路と、前記ラッチ回路から出力される信号状態に基いて前記遅延信号の位相状態を検出する位相検出回路と、前記位相検出回路の検出結果に基づいて前記遅延信号の位相変化タイミングを前記同期クロック信号の第1の変化から遠ざかる方向に変化させるよう可変遅延回路に遅延制御信号を出力する信号形成回路と、を有して成るものであることを特徴とする記録情報再生装置。

【請求項4】 前記位相検出回路は遅延ゲートの出力クロック信号の複数サイクルに1度の割合で検出結果を出力するものであることを特徴とする請求項3記載の記録情報再生装置。

【請求項5】 前記信号形成回路は遅延ゲートの出力クロック信号の複数サイクルに1度の割合で検出結果を入力するものであることを特徴とする請求項3記載の記録情報再生装置。

【請求項6】 前記位相検出回路は、前記複数個のラッチ回路の出力を並列的にデコードして前記遅延信号の位相変化タイミングが前記同期クロック信号の第1の変化30 タイミングに対して進んだ状態か遅れた状態かを検出可能であり、

前記信号形成回路は、前記位相検出回路による進んだ状態の検出結果に応答して第1の方向に計数値を更新し、前記位相検出回路による遅れた状態の検出結果に応答して第2の方向に計数値を更新する第1の演算回路と、前記第1の演算回路による計数値が第1の方向の第1の閾値に到達したか第2の方向の第2の閾値に到達したかを検出する到達検出回路と、前記到達検出回路による前記第1の閾値への到達検出に応答して第3の方向に遅延制御信号の値を更新し、前記到達検出回路による前記第2の閾値への到達検出に応答して第4の方向に遅延制御信号の値を更新する第2の演算回路とを有し、

可変遅延回路は、遅延制御信号の値が第3の方向に更新されることによって前記遅延信号の位相変化タイミングを早めて前記同期クロック信号の第1の変化タイミングから遠ざけ、遅延制御信号の値が第4の方向に更新されることによって前記遅延信号の位相変化タイミングを遅らせて前記同期クロック信号の第1の変化タイミングから遠ざけるものであることを特徴とする請求項2又は35 記載の記録情報再生装置。

【請求項7】 前記位相検出回路は、前記複数個のラッチ回路の出力を並列的にデコードして前記遅延信号の位相変化タイミングが前記同期クロック信号の第1の変化タイミングに対して進められている程度と遅れている程度とを検出可能であり、

前記信号形成回路は、前記位相検出回路によって検出された進みの程度に応答して第1の方向に計数値を更新し、前記位相検出回路によって検出された遅れの程度に応答して第2の方向に計数値を更新する第1の演算回路と、前記第1の演算回路による計数値が第1の方向の第1の閾値に到達しか第2の方向の第2の閾値に到達したかを検出する到達検出回路と、前記到達検出回路による第1の閾値への到達検出に応答して第3の方向に前記遅延制御信号の値を更新し、第2の閾値への到達検出に応答して第4の方向に遅延制御信号の値を更新する第2の演算回路と、を有し、

可変遅延回路は、前記遅延制御信号の値が第3の方向に更新されることによって前記遅延信号の位相変化タイミングを早めて前記同期クロック信号の第1の変化タイミングから遠ざけ、遅延制御信号の値が第4の方向に更新されることによって前記遅延信号の位相変化タイミングを遅らせて前記同期クロック信号の第1の変化タイミングから遠ざけるものであることを特徴とする請求項2又は3記載の記録情報再生装置。

【請求項8】 前記第1の演算回路は、第2の演算回路による遅延制御信号の更新動作に応答して計数値が初期化されるものであることを特徴とする請求項6又は7記載の記録情報再生装置。

【請求項9】 前記可変遅延回路は、前記遅延制御信号をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータから出力される信号に応じて相互コンダクタンスが制御される事で遅延時間が可変に制御される遅延回路と、を有して成るものであることを特徴とする請求項6又は7記載の記録情報再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DVD (Digital Versatile Disc) やCD-ROM (Compact Disc-Read Only Memory) 等、1又は0のランレンジスで記録されたデータからPLL (Phase-Locked Loop) 等の位相同期ループ回路を用いて同期クロック信号と再生データを抽出する記録情報再生装置に関するものである。

【0002】

【従来の技術】 DVDやCD-ROM等の光ディスクは、ディスク上に論理値1、0のランレンジスとして情報が記録されている。例えば同期クロック信号の周期をTとすると、 $3T \sim 11T$ の信号周期の組み合わせによって情報が記録されている。そのような光ディスク上に記録された情報はピックアップで読み取られ、プリアンプで波形等化されて2値化される。2値化された信号を

再生するために、PLL回路は前記2値化信号を基に同期クロック信号を再生し、前記2値化信号は再生された同期クロック信号に同期化された再生データとされる。このとき、PLL回路において、2値化信号のエッジと同期クロック信号の立ち下がりエッジが一致するように同期をとると、同期クロックの立ち上がりで2値化信号をラッチすることにより、最も高品質な再生データを取得することができる。

【0003】

10 【発明が解決しようとする課題】 上記手法は従来から行われており、同期クロック信号のデューティが50%のときには有効である。しかしながら、デューティ50%が確保できなくなった場合は、2値化信号の変化点は同期クロック信号のエッジ間の中心から外れてしまう。このような条件の下では、同期クロック信号、又は2値化信号に小さなジッタを生ずると、正規の信号値をラッチできず、誤った再生データを出力する可能性が高くなる。同期クロック信号のデューティ50%を実現するには2倍の周波数から分周する方法が一般的であるが、転送レートの高速化に伴い2倍の周波数を発振させることが困難となっている。DVDやCD-ROMなどのディスクは高速アクセスを目的として高速回転され、データ転送レートが益々高速化される傾向にある。

20 【0004】 また、ゲート遅延や経時的な回路素子の特性変化まで含め同期クロック信号のエッジの中心に2値化データの変化点を押え込むことは実質的に困難である。LSI内部で生じるクロックのデューティ変動やゲート遅延のバラツキを製造時に予測することは困難である。

30 【0005】 特開平7-221800号公報にはデータ識別再生回路においてデータを取り込むクロック信号のエッジの位相を入力データが最も確定している位相に自動調整する技術が記載されており、再生クロック信号に対し夫々進んだ位相と遅れた位相における入力データのデータ値と、再生クロック信号の位相における入力データのデータ値とを比較し、それらが夫々等しくなるように位相同期ループの再生クロック信号の位相を自動調整しようとするものである。しかしながら、この技術は、再生クロック信号それ自体の位相を位相同期ループとは別に調整しようとするものであるから、その位相調整の結果は前記比較のために位相差を持たせた他のクロック信号にも正確に反映されなければならず、データ転送レートが高い場合には位相調整の精度低下が予想される。

40 【0006】 本発明の目的は、記録媒体から読み取られた信号から同期クロック信号を生成してデータを再生する際に生じる誤りを低減でき、高品質なデジタルデータの再生を可能にする記録情報再生装置を提供することにある。

【0007】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになる

あろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】 [1] 記録情報再生装置は、記録媒体から読み取られてデジタル化された2値化信号に基いて位相同期ループ回路で同期クロック信号を再生すると共に前記同期クロック信号に前記2値化信号を同期化した再生データを生成するデータ再生手段を有する。前記位相同期ループ回路は位相比較結果に応じて遅延時間が決定される奇数段の遅延ゲートを有するリングオシレータ型の電圧制御発振器を位相同期ループに有し、所定の前記遅延ゲートの出力が位相同期ループで帰還される同期クロック信号とされる。前記データ再生手段は更に、前記2値化信号を可変に遅延させて出力可能な可変遅延回路と、夫々の遅延ゲートの出力クロック信号の第1の変化に同期して前記遅延信号をラッチする複数個のラッチ回路と、前記複数個のラッチ回路から出力される信号状態に基いて前記遅延信号の位相状態を検出する位相検出回路と、前記位相検出回路の検出結果に基づいて前記遅延信号の位相変化タイミングを前記同期クロック信号の第1の変化タイミングから遠ざかる方向に変化させるように可変遅延回路に遅延制御信号を出力する信号形成回路とを有する。

【0010】 上記した手段によれば、電圧制御発振器内に存在する各遅延ゲートの出力クロック信号と、2値化信号の遅延信号との位相関係に基いて、同期クロック信号に対する前記遅延信号の位相を最適に制御する。例えば、遅延信号の位相変化タイミングを同期クロック信号の立ち上がりエッジから遠ざけるように、可変遅延回路による遅延信号の遅延を制御する。これにより、データ転送レートの高速化により同期クロック信号周波数が高くなるに従って同期クロック信号のデューティーが50%からずれたとき、同期クロック信号又は2値化信号にジッタを生じても正規の信号値をラッチ回路でラッチできる余裕が増し、2値化信号に対して正確な再生データを得ることができるようになる。

【0011】 また、電圧制御発振器内の多相クロック信号を使用して位相検出を行うので、入力信号の転送レートの変化により電圧制御発振器の発信周波数が変わった場合でも、位相検出感度を一定にすることができます。

【0012】 さらに、2値化信号を遅延制御するので、多相のクロック信号を等しく遅延制御する場合に比べて信頼性の高い制御を容易に実現することができる。

【0013】 [2] 本発明の更に具体的な検出態様を説明する。第1の具体的な態様は、前記ラッチ回路を、遅延ゲートの出力クロック信号毎に1段設けるものである。即ち、記録情報再生装置は、記録媒体から読み取られてデジタル化された2値化信号に基いて位相同期ループ回路で同期クロック信号を再生すると共に前記同期クロック信号の第1の変化に前記2値化信号を同期化した再生データを生成する。前記位相同期ループ回路は位相

比較結果に応じて遅延時間が決定される奇数段の遅延ゲートを有するリングオシレータ型の電圧制御発振器を位相同期ループに有し、所定の前記遅延ゲートの出力が位相同期ループで帰還される同期クロック信号とされる。前記データ再生手段は更に、前記2値化信号を可変に遅延させた遅延信号を出力可能な可変遅延回路と、夫々の遅延ゲートの出力クロック信号の第1の変化に同期して前記遅延信号をラッチする複数個のラッチ回路と、前記複数個のラッチ回路から出力される信号状態に基いて前記遅延信号の位相状態を検出する位相検出回路と、前記位相検出回路の検出結果に基づいて前記遅延信号の位相変化タイミングを前記同期クロック信号の第1の変化タイミングから遠ざかる方向に変化させるように可変遅延回路に遅延制御信号を出力する信号形成回路とを有する。

【0014】 上記手段では、一つの遅延ゲートから出力されるクロック信号の1周期毎に、全部のラッチ回路のラッチ状態が確定していく。前記1周期毎にその状態を判定し、判定結果に基づいて遅延制御信号が更新される。

【0015】 第2の具体的な態様は、前記ラッチ回路を、遅延ゲートの出力クロック信号毎に複数段直列に設けるものである。即ち、記録情報再生装置は、記録媒体から読み取られてデジタル化された2値化信号に基いて位相同期ループ回路で同期クロック信号を再生すると共に前記同期クロック信号の第1の変化に前記2値化信号を同期化した再生データを生成するデータ再生手段を有する。前記位相同期ループ回路は位相比較結果に応じて遅延時間が決定される奇数段の遅延ゲートを有するリングオシレータ型の電圧制御発振器を位相同期ループに有し、所定の前記遅延ゲートの出力が位相同期ループで帰還される同期クロック信号とされる。前記データ再生手段は更に、前記2値化信号を可変に遅延させた遅延信号を出力可能な可変遅延回路と、前記遅延信号及び夫々の遅延ゲートの出力クロック信号を入力して前記可変遅延回路に遅延制御信号を出力する遅延制御回路とを有する。

前記遅延制御回路は、前記遅延ゲートの出力クロック信号に対応して、当該出力クロック信号を受けるラッチクロック端子が共通接続され、前記ラッチクロック端子に供給される前記遅延ゲートの出力クロック信号の第1の変化に同期してラッチ動作を行い、初段のラッチデータ入力端子に前記遅延信号が供給される複数段直列結合されたラッチ回路と、前記ラッチ回路から出力される信号状態に基いて前記遅延信号の位相状態を検出する位相検出回路と、前記位相検出回路の検出結果に基づいて前記遅延信号の位相変化タイミングを前記同期クロック信号の第1の変化タイミングから遠ざかる方向に変化させるように可変遅延回路に遅延制御信号を出力する信号形成回路と、を有する。

【0016】 前記位相検出回路は遅延ゲートの出力クロ

ック信号の複数サイクルに1度の割合で検出結果を出力すればよい。或いは、前記信号形成回路は遅延ゲートの出力クロック信号の複数サイクルに1度の割合で検出結果を入力すればよい。

【0017】上記手段では、例えばラッチ回路の直列段数がn段の場合、一つの遅延ゲートから出力されるクロック信号のn周期毎に、全部のラッチ回路のラッチ状態が確定していく。但し、3T～11Tのようなランレンジスとしてディスクに記録された情報の読み取り信号を再生する場合に、ディスクの傷やノイズなどによってT、2Tのパルスが混入する虞がある。これが同期クロック信号との位相状態の検出対象に入ると位相制御の誤差が大きくなる。これを排除するために、クロック信号のn周期毎に、全部のラッチ回路のラッチ状態が確定したとき、そのラッチデータを判定して、遅延制御信号を更新する。例えば、1Tのパルスが混入している場合、再生クロック信号の2周期連続で遅延信号に位相変化のある状態を位相状態の検出対象から除外すればよい。要するに、クロック信号のn周期毎に、全部のラッチ回路のラッチ状態が、検出すべき複数の状態の何れの状態に該当しているかをパターンマッチングなどで検出すればよい。1Tのようなノイズによって生ずる状態は検出すべき状態から除外しておけばよい。例えば、ラッチ回路を直列接続したシフトレジスタ構成を採用して再生クロック信号の複数周期分のラッチデータを単位にして遅延信号の変化点を検出すれば、2個の変化点を連続して検出することはないというような、ランレンジス信号の規格に照らした異常、例えば、ディスク上の傷等による遅延信号の誤った変化、を識別でき、信頼性の高い信号変化だけを用いて可変遅延回路に対する遅延量の制御を行うことが可能になる。

【0018】〔3〕前記位相検出と遅延制御信号生成の手法には以下の2つの手法を採用してよい。何れの手法も、ジッタ等によって同期クロック信号や2値化信号の位相が単発的若しくは不規則的に乱れたときの状態が直接的に位相制御に反映されて制御状態が収束し難くなる状態を抑えるための、平均化若しくは感度低下の手法である。

【0019】第1の手法では、前記位相検出回路は、前記複数個のラッチ回路の出力を並列的にデコードして前記遅延信号の位相変化タイミングが前記同期クロック信号の第1の変化タイミングに対して進んだ状態か遅れた状態かを検出する。このとき、前記信号形成回路は、前記位相検出回路による進んだ状態の検出結果に応答して第1の方向に計数値を更新し、前記位相検出回路による遅れた状態の検出結果に応答して第2の方向に計数値を更新する第1の演算回路を有する。更に、前記第1の演算回路による計数値が第1の方向の第1の閾値に到達したか第2の方向の第2の閾値に到達したかを検出する到達検出回路を有する。そして、前記到達検出回路による

前記第1の閾値への到達検出に応答して第3の方向に遅延制御信号の値を更新し、前記到達検出回路による前記第2の閾値への到達検出に応答して第4の方向に遅延制御信号の値を更新する第2の演算回路を備える。これによつて、可変遅延回路は、遅延制御信号の値が第3の方向に更新されることによって前記遅延信号の位相変化タイミングを早めて前記同期クロック信号の第1の変化タイミングから遠ざけ、遅延制御信号の値が第4の方向に更新されることによって前記遅延信号の位相変化タイミングを遅らせて前記同期クロック信号の第1の変化タイミングから遠ざける。

【0020】これによれば、再生クロックと遅延信号の位相判定により位相状態が制御目標から外れている場合、前記可変遅延回路に対する遅延制御信号を生成する第2の演算回路の計数値を増減する。制御感度を変更するため、遅延信号が再生クロック信号に対して遅れている又は進んでいる状態を第1の演算器で積分し、その積分値が閾値に達したところで、前記第2の演算器の計数値（遅延制御信号）を更新し、これによって前記可変遅延回路に対する遅延量を更新する。したがって、再生クロック信号と遅延信号との位相関係は制御目標に安定的に収束する。

【0021】第2の手法では、前記位相検出回路は、前記複数個のラッチ回路の出力を並列的にデコードして前記遅延信号の位相変化タイミングが前記同期クロック信号の第1の変化タイミングに対して進められている程度と遅れている程度とを検出する。このとき、前記信号形成回路は、前記位相検出回路によって検出された進みの程度に応答して第1の方向に計数値を更新し、前記位相検出回路によって検出された遅れの程度に応答して第2の方向に計数値を更新する第1の演算回路を有する。更に、前記第1の演算回路による計数値が第1の方向の第1の閾値に到達したか第2の方向の第2の閾値に到達したかを検出する到達検出回路を有する。そして、前記到達検出回路による第1の閾値への到達検出に応答して第3の方向に前記遅延制御信号の値を更新し、第2の閾値への到達検出に応答して第4の方向に遅延制御信号の値を更新する第2の演算回路を備える。これにより、可変遅延回路は、前記遅延制御信号の値が第3の方向に更新

されることによって前記遅延信号の位相変化タイミングを早めて前記同期クロック信号の第1の変化タイミングから遠ざけ、遅延制御信号の値が第4の方向に更新されることによって前記遅延信号の位相変化タイミングを遅らせて前記同期クロック信号の第1の変化タイミングから遠ざける。

【0022】これによれば、制御目標に対する誤差の大きさまで判断するから、制御目標への収束も早くなる。

【0023】前記第1の演算回路に対しては、第2の演算回路による遅延制御信号の更新動作に応答して計数値を初期化すればよい。初期化は、リセット或いは規定値

のプリセットである。

【0024】前記可変遅延回路は、前記遅延制御信号をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータから出力される信号に応じて相互コンダクタンスが制御される事で遅延時間が可変に制御される遅延回路とによって構成すれば、電圧制御発振器の構成を一部流用できる。

【0025】

【発明の実施の形態】図2には記録情報再生装置の一例であるDVD又はCD-ROMドライブ等のディスクドライブ装置1が示される。DVDやCD-ROM等の記録媒体である光ディスク3は、ディスク上に論理値1、0のランレングスとして情報が記録されている。例えば同期クロック信号の周期をTとすると、 $3T \sim 11T$ の信号周期の組み合わせによって情報が記録されている。ホストコンピュータ2とディスクドライブ装置1は例えばATAPI(AT Attachment Packet Interface)等のインターフェースで接続される。ホストコンピュータ2からディスクドライブ装置1に発行されるリード命令は、インターフェース回路(I/F)4を通して制御部5へ到達する。制御部5はリード命令を解釈し各ブロックの設定を行う。サーボ回路6はスピンドルモータ7の回転数やピックアップ8の位置を制御する。ディスク3上に記録された情報はレーザー光によりピックアップ8で読み取られ、プリアンプ9で波形等化されE FM(Eight to Fourteen Modulation)信号などのRF(Radio Frequency)信号としてスライサ10へ出力される。スライサ10では入力されたRF信号を最適なスライスレベルで2値化し、論理値1または0の2値化信号11に変換し、2値化信号11をデータストローブ回路12へ出力する。2値化信号11はシリアル信号である。前記データストローブ回路12は、2値化信号11に同期した同期クロック信号(再生クロック信号とも称する)14を位相同期化回路例えばPLL回路で再生すると共に前記2値化信号11を前記再生クロック信号14に同期化した再生データ15を生成するデータ再生手段として機能される。

【0026】データストローブ回路12から出力される再生クロック信号14及び再生データ15は、信号処理回路16に供給される。信号処理回路16は再生クロック信号14に同期して再生データ15をバッファに取り込む。バッファから再生データ15を読み出す以降の処理は、再生クロック信号14から水晶クロックに乗せ換え、誤り訂正等を行い、I/F4を通して再生データをホストコンピュータ2へ転送する。

【0027】図2において、制御部5は半導体集積回路化されたマイクロコンピュータで実現できる。また、参照符号18で示される範囲の回路要素はディスクコントローラとして一つの半導体集積回路で構成することができる。このディスクコントローラに制御部5を混載する

ことも可能である。

【0028】図3に例示されるように、2値化信号11の立ち下がりエッジに再生クロック信号14の立ち下がりエッジを一致させるように再生クロック信号14を再生すれば、再生クロック信号14の立ち上がりエッジで2値化信号11をラッチすることが、最も高品質な再生データを取得するのに最適である。但し、この手法は、前述のように再生クロック信号のデューティが50%のときには有効であるが、デューティ50%が確保できなくなつた場合は、図4に例示されるように、2値化信号11の変化点が再生クロック信号14のエッジ間の中心(1周期の半分)から外れてしまい、再生クロック信号14又は2値化信号11の小さなジッタでも、誤った再生データを出力する可能性が高くなる。即ち、図3の場合には再生クロック信号14又は2値化信号11のジッタがB1よりも小さければ再生データに誤りはないが、図4の場合にはそれらジッタがB1よりも小さくてB2よりも大きければ再生データに誤りを生じてしまう。クロック信号のデューティ50%を実現するには2倍の周波数から分周する方法が一般的であるが、転送レートの高速化に伴い2倍の周波数を発振させることが困難となっているので、デューティ50%を実現して図4の場合の不都合が生じないようにするのは実質的に難しい。また、ゲート遅延や経時変化まで含めクロック信号のエッジ変化の中心にデータの変化点を正確に押え込むことはなおさら困難である。

【0029】以下、再生クロック信号14にデューティ50%を実現できなくても再生データに誤りを生じないようにしたデータストローブ回路12の詳細を説明する。

【0030】図1にはデータストローブ回路12の全体的な構成が例示される。データストローブ回路12は、2値化信号11を参照信号とし再生クロック信号14を生成するPLL回路21、前記2値化信号11を遅延する可変遅延回路22、前記PLL回路21の電圧制御発振器で生成される多相クロック信号23と前記可変遅延回路22から出力される遅延信号24との位相関係を検出し、検出結果をもとに遅延制御信号25を生成して前記可変遅延回路22を制御する遅延制御回路26、及び前記遅延制御回路26を制御する制御回路27から構成される。

【0031】前記PLL回路21は位相比較器30、チャージポンプ・ループフィルタ31、及び電圧制御発振器32から構成される。

【0032】図5には前記電圧制御発振器32の一例が示される。電圧制御発振器32は、n段(nは奇数)の遅延ゲートとしての差動インバータINV1～INVnから構成されるリングオシレータ35を有する。差動インバータINV1～INVnは夫々差動の信号を出力する。各差動インバータINV1～INVnに動作電源を

供給する電流源はチャージポンプ・ループフィルタ31から出力される制御電圧によって相互コンダクタンスが制御される可変電流源（図示せず）である。これによって電圧制御発振器32の発振周波数が決定される。夫々の差動インバータINV1～INVnの差動出力は、差動入力パッファDBUF1～DBUFnで夫々1相に変換され、相互に位相が $2\pi/n$ ずれたn相のクロック信号号23(CLK1～CLKn)が形成される。クロック信号CLK1～CLKn内の何れか一つが前記再生クロック信号14として前記位相比較回路30に帰還される。

【0033】図6には前記可変遅延回路22の一例が示される。可変遅延回路22は、前記遅延制御信号25をアナログ信号に変換するD/Aコンバータ37と、前記D/Aコンバータ37から出力される信号に応じて例えれば相互コンダクタンスが制御される事で遅延時間が可変に制御される遅延回路38とを有する。例えば遅延回路38は、図示を省略するが、複数個の差動インバータの直列接続回路の初段に前記2値化信号11を供給し、最終段の出力から遅延信号24を得るようにし、各差動インバータにはD/Aコンバータ37から出力される制御電圧によって相互コンダクタンスが制御される可変電流源（図示せず）を採用することにより、遅延制御信号25の値に応じた遅延時間が遅延信号24に設定されるよう構成することができる。

【0034】図7には前記遅延制御回路26の第1の例が示される。図8には図7の構成を有する遅延制御回路26の動作タイミングが例示的に示されている。ここでは、例えばn=5とし、電圧制御発振器32から $2\pi/5$ づつ位相のずれた5相のクロック信号CLK1～CLK5を用いるものとする。前記クロック信号CLK1～CLK5の位相を順次a相、b相、c相、d相、e相とする。ここで、c相が再生クロック信号14とされ、c相でラッチされる後述のラッチ回路FFcの出力が再生データ15とされる。

【0035】前記遅延制御回路26は、前記クロック信号CLK1～CLK5の第1の変化（立ち上がり変化）に同期して前記遅延信号24をラッチする複数個のラッチ回路FFa～FFeと、前記複数個のラッチ回路FFa～FFeから出力される信号状態に基いて前記遅延信号24の位相状態を検出する位相検出回路40と、前記位相検出回路40の検出結果に基づいて前記遅延信号24の位相変化タイミングを前記再生クロック信号14の第1の変化タイミングから遠ざかる方向に変化させるように可変遅延回路22に遅延制御信号25を出力する信号形成回路41とを有する。

【0036】前記位相検出回路40は、前記複数個のラッチ回路FFa～FFeの出力を並列的にデコードして前記遅延信号24の位相変化タイミングが前記再生クロック信号14の立ち上がり変化タイミングに対して進ん

だ状態か遅れた状態かを検出する。前記クロック信号CLK1～CLK5のc相を基準にa相、b相、d相、e相の位相差はそれぞれ $-4\pi/5$ 、 $-2\pi/5$ 、 $+2\pi/5$ 、 $+4\pi/5$ となる。a相、b相、c相、d相、e相のデューティは50%である必要はなく、ほぼ均等に位相がずれていればよい。a相、b相、d相、e相は、再生クロック信号14と遅延信号の24位相関係を判定するための補助的なクロック信号である。5個のラッチ回路FFa～FFeが保持するデータが全て位相検出回路40の10入力となり、遅延信号24の変化点を検出することができる。位相検出回路40の入力は、再生クロック信号14の周期をTとすると $2\pi/5$ づつ位相のずれたクロック信号が次々にラッチ回路FFa～FFeのデータを更新するので、T/5周期毎に変化しつづける。位相検出の判定は、少なくとも再生クロック信号14の1周期の期間で全てのラッチ回路FFa～FFeのラッチデータが更新若しくは揃うのを待つ必要がある。図7の例では、信号形成回路41はa相のクロック信号CLK1の立ち上がりに同期して、位相検出回路40の検出結果を20判定する。

【0037】例えば、位相検出回路40の判定タイミングにおいて、ラッチ回路FFaの出力値が論理値1でラッチ回路FFb～FFeの出力値が全て論理値0であれば、遅延信号24の変化点の位相状態は、図8の(1)に例示されるように範囲E1に存在し、その変化が立下りであることが判断される。位相検出回路40が検出する位相状態は、遅延信号の立ち上がり、立ち下がり毎に、図8の(1)、(2)、(3)、(4)に例示される状態とされている。

【0038】ここで、位相検出回路40による検出結果に対して望ましい状態は図4のように再生クロック信号14にデューティ50%が得られなくても、2値化信号11や再生クロック14のジッタに対して図3と同じように、再生クロック信号14の大凡半周期分の幅B1のマージンが得られるようにすることである。即ち、c相の再生クロック信号14に対し、図8に例示されるように、遅延信号24の位相変化点をAまたはBの状態にすることである。前述の如く遅延信号24と再生クロック信号14にそれぞれジッタが発生することは止むを得ず、遅延信号24の変化点をなるべく再生クロック信号14の立上りエッジから時間的に分離しておけばよい。図8のA、Bの状態が制御目標となり、(1)(2)の状態は再生クロック信号14に対して遅延信号24が目標より遅れている状態、(3)(4)の状態は再生クロック信号14に対して遅延信号24が進んでいる状態となる。

【0039】前記位相検出回路40は前記遅れている状態を検出したとき信号形成回路41に遅延検出信号S LWをアサートし、前記進んでいる状態を検出したとき信号形成回路41に先行検出信号FSTをアサートする。

【0040】前記信号形成回路41は、第1の演算回路としての第1のアップダウンカウンタ(CNT1)43、到達検出回路としてのコンパレータ(CMP)44、及び第2の演算回路としての第2のアップダウンカウンタ(CNT2)45を有する。

【0041】前記第1のアップダウンカウンタ43は、図9に例示されるように、前記a相のクロック信号CLK1の立ち上がりエッジに同期して前記遅延検出信号SLW及び先行検出信号FSTを入力し、遅延検出信号SLWのアサート状態に応答して-1のダウンカウント、先行検出信号FSTのアサート状態に応答して+1のアップカウントを行う。

【0042】前記コンパレータ44は前記アップダウンカウンタ43による計数値NMBを入力し、計数値NMBが第1の閾値たとえば上限値U1imに達したか又は第2の閾値たとえば下限値L1imに達したかを検出する。上限値U1im及び下限値L1imは前記制御回路27によってプログラマブルに指定可能な制御感度としての意味を持つ。コンパレータ44は、上限値U1imへの到達を検出したときアップ信号UPをアサートし、下限値L1imへの到達を検出したときダウン信号DWをアサートする。前記アップ信号UP又はダウン信号DWNのアサート状態は信号RSTで前記第1のアップダウンカウンタ43に通知され、これによって第1のアップダウンカウンタ43は計数値が初期値0にリセットされる。

【0043】前記第2のアップダウンカウンタ45は、前記アップ信号UP及びダウン信号DWNを入力し、ダウン信号DWNのアサート状態に応答して-1のダウンカウント、アップ信号UPのアサート状態に応答して+1のアップカウントを行う。第2のアップダウンカウンタ45の計数値が遅延制御信号25になる。

【0044】可変遅延回路22は、遅延制御信号25の値がダウンカウントによって小さくされると、前記遅延信号24の位相変化タイミングが図8の状態Aに向けられるように、前記遅延信号24の位相変化タイミングを早めて、再生クロック信号14の立ち上がりエッジから前記遅延信号24の位相変化タイミングを遠ざける。逆に、可変遅延回路22は、遅延制御信号25の値がアップカウントによって大きくなると、前記遅延信号24の位相変化タイミングが図8の状態Bに向けられるように、前記遅延信号24の位相変化タイミングを遅らせて、再生クロック信号14の立ち上がりエッジから前記遅延信号24の位相変化タイミングを遠ざける。

【0045】図10には前記遅延制御回路26の第2の例が示される。図7との相違点は、ラッチ回路FFa～FFeの出力に対する位相検出とそれに応答する演算動作である。即ち、位相検出回路40Aは、ラッチ回路FFa～FFeの出力を並列的にデコードすることによって前記遅延信号24の位相変化タイミングが前記再生ク

ロック信号の立ち上がりエッジに対して進んでいる程度と遅れている程度とを検出する。例えば、図8に従えば、位相検出回路40Aは、図8の(1)、(2)の遅延状態で減算、図8の(3)、(4)の遅延状態で加算を指示する演算指示信号Add/Subと、図8の(1)、(4)の状態で絶対値1を指示する数値信号AB1と、図8の(2)、(3)の状態で絶対値2を指示する数値信号AB2とを出力する。前記信号Add/Sub、AB1、AB2は第1の演算回路の別の例である加減算回路(AU)43Aに供給される。加減算回路43Aは、演算結果を出力段にラッチし、信号Add/Subで加算が指示されているときは、数値信号AB1又はAB2がアサートされる事により、それで指示される数値が直前の演算結果に加算され、信号Add/Subで減算が指示されているときは、数値信号AB1又はAB2がアサートされる事により、それで指示される数値が直前の演算結果から減算される。演算結果の数値NMBに対する処理は図7の場合と同じである。この構成によれば、図7の構成に比べて位相制御の応答性が良好になる。

【0046】図11には前記遅延制御回路26の第3の例が示される。図12には図11の構成を有する遅延制御回路26の動作タイミングが例示的に示されている。ここでは、例えばn=3とし、電圧制御発振器32から $2\pi/3$ づつ位相のずれた3相のクロック信号がCLK1～CLK3を用いるものとする。前記クロック信号CLK1～CLK3の位相を順次f相、g相、h相とする。ここでは、g相が再生クロック信号14である。

【0047】前記遅延制御回路26は、夫々のクロック信号CLK1～CLK3に対応して、初段のデータ出力端子が次段のデータ入力端子に結合され、クロック入力端子が初段及び次段で共通接続された直列2段のラッチ回路FFf1, FFf2, FFg1, FFg2, FFh1, FFh2を有する。ラッチ回路FFf1, FFf2, FFg1, FFg2, FFh1, FFh2は、対応するクロック信号CLK1～CLK3の第1の変化例えば立ち上がり変化に同期してラッチ動作を行う。g相でラッチされるラッチ回路FFg2の出力が再生データ15とされる。再生データ15はラッチ回路FFg1の出力であってもよい。

【0048】更に遅延制御回路26は、前記ラッチ回路FFf1～FFh2から出力される信号状態に基いて前記遅延信号24の位相状態を検出する位相検出回路40Bと、前記位相検出回路40Bの検出結果に基づいて前記遅延信号24の位相変化タイミングを前記再生クロック信号14の第1の変化(立下り変化)タイミングから遠ざかる方向に変化させるように可変遅延回路22に遅延制御信号25を出力する信号形成回路41Bとを有する。

【0049】前記位相検出回路40Bは前記ラッチ回路

$F F f_1 \sim F F h_2$ の出力を並列的にデコードして前記遅延信号 24 の位相変化タイミングが再生クロック信号 14 の立ち上がり変化タイミングに対して進んだ状態か遅れた状態かを検出する。再生クロック信号 14 である g 相を基準として f 相、 h 相の位相差はそれぞれ $-2\pi/3, +2\pi/3$ となる。 f 相、 g 相、 h 相のデューティも 50% である必要はなく、ほぼ均等に位相がずれていればよい。 f 相、 g 相は、再生クロック信号 14 と 2 値化信号 24 との位相関係を判定するための補助的なクロック信号である。

【0050】前記 6 個のラッチ回路 $F F f_1 \sim F F h_2$ のラッチデータをクロック信号 f 相、 g 相、 h 相毎に、それぞれ $f_1, f_2, g_1, g_2, h_1, h_2$ とする。それら全てが位相検出回路 40B に入力される。再生クロック信号 14 の周期を T とすると、前記位相検出回路 40B の入力は $T/3$ 周期毎に変化する。ラッチ回路 $F F f_1 \sim F F h_2$ は直列 2 段のシフトレジスタを構成するから、再生クロック信号 14 の連続した 2 周期の中から遅延信号 24 の変化点を検出することが可能となる。即ち、再生クロック信号 14 の 2 周期毎に全部のラッチ回路 $F F f_1 \sim F F h_2$ のデータラッチ状態が確定していく。

【0051】そのようにラッチ回路を直列 2 段のシフトレジスタ構成とすることの優位点を説明する。CD-R OM や DVD では、規格上論理値 1 または論理値 0 が連続する長さは最短で再生クロック信号 14 の 3 周期分と決められている。従って再生クロック信号 14 の連続 2 周期から遅延信号 24 の変化点を検出したとき、上記規格に従えば、 2 個の変化点を検出することはない。しかしながら、ディスク上の傷等によっては再生クロック信号 14 の 1 周期毎に変化点が現れてしまう場合もある。 2 周期連続で変化点を検出していれば、そのような誤りデータを発見でき、信頼性の高いデータだけを用いて遅延量の制御を行うことが可能になる。

【0052】 f, g, h 3 相のクロック $C L K_1 \sim C L K_3$ と遅延信号 24 の変化点の位相関係は、図 12 に例示されるように、 (5) (8) の状態が再生クロック信号 14 に対して遅延信号 24 が遅れている状態、 (7) が最適な状態、 (6) (9) の状態が再生クロック信号 14 に対して遅延信号 24 が進んでいる状態である。この例の場合には C, D, E の状態が制御目標になる。上記ディスクの傷などによる周期毎の遅延信号の変化は、例えば、図 12 の (5) の状態が 2 周期連続で発生するような場合である。即ち同じ状態が連続して検出される。位相検出回路 40B はそのような同じ状態が 2 周期連続する状態を検出対象から除外している。

【0053】一方、位相検出を再生クロック信号 14 の周期毎に繰り返すと、正規のランレンジスに従った信号変化を検出する場合には、例えば周期 p で遅延信号 24 が再生クロック信号 14 に対して遅れている状態 (5)

として検出されたものが、次の周期 $p+1$ でも同じく遅れている状態 (8) として検出され、遅延信号 24 の一つの変化点に対して異なる遅れ状態が検出されてしまうことになる。

【0054】この正規の状態の重複検出を回避する第 1 の手法は、図 13 の (A) に示されるように、再生クロック信号 14 と遅延信号 24 との位相状態の検出を再生クロック信号 14 の 2 周期に 1 回とする方法である。例えば、位相検出回路 40B を再生クロック信号 14 の偶数周期だけ検出動作させればよい。第 2 の手法は、図 13 の (B) に示されるように、再生クロック信号 14 の毎周期毎に位相検出回路 40B を検出動作させる場合に、状態 (5)、(8) のどちらか一方を、かつ状態 (6)、(9) のどちらか一方を検出対象から除外する方法である。例えば、位相検出回路 40B にはデータ $f_1, f_2, g_1, g_2, h_1, h_2$ に基づいて図 12 の (5)、(6)、(7) の 3 つの状態だけを検出可能なデコード論理を採用する。図 11 の例は前者の例に従っている。

【0055】図 11 の例に従えば、前記位相検出回路 40B は前記遅れている状態 (5) (8) を検出したとき信号形成回路 41B に遅延検出信号 $S L W$ をアサートし、前記進んでいる状態 (6) (9) を検出したとき信号形成回路 41B に先行検出信号 $F S T$ をアサートする。

【0056】前記信号形成回路 41B は、第 1 の演算回路としての第 1 のアップダウンカウンタ ($C N T_1$) 43B、到達検出回路としてのコンパレータ ($C M P$) 44、及び第 2 の演算回路としての第 2 のアップダウンカウンタ ($C N T_2$) 45、及び分周回路 47 を有する。分周回路 47 は f 相の周期を 2 倍にしたクロック信号 $C L K_f/2$ を形成する。

【0057】前記第 1 のアップダウンカウンタ 43B は、前記クロック信号 $C L K_f/2$ の立ち上がりエッジに同期して前記遅延検出信号 $S L W$ 及び先行検出信号 $F S T$ を入力し、遅延検出信号 $S L W$ のアサート状態に応答して -1 のダウンカウント、先行検出信号 $F S T$ のアサート状態に応答して +1 のアップカウントを行う。

【0058】前記コンパレータ 44 は前記アップダウンカウンタ 43B による計数値 $N M B$ を入力し、計数値 $N M B$ が第 1 の閾値たとえば上限値 $U_{1 i m}$ に達したか又は第 2 の閾値たとえば下限値 $L_{1 i m}$ に達したかを検出する。上限値 $U_{1 i m}$ 及び下限値 $L_{1 i m}$ は前記制御回路 27 によって指定される制御感度としての意味を持つ。コンパレータ 44 は、上限値 $U_{1 i m}$ への到達を検出したときアップ信号 $U P$ をアサートし、下限値 $L_{1 i m}$ への到達を検出したときダウン信号 $D W N$ をアサートする。前記アップ信号 $U P$ 又はダウン信号 $D W N$ のアサート状態は信号 $R S T$ で前記第 1 のアップダウンカウンタ 43B に通知され、これによって第 1 のアップダウン

50

カウンタ43Bは計数値が初期値0にリセットされる。

【0059】前記第2のアップダウンカウンタ45は、前記アップ信号UP及びダウン信号DWを入力し、ダウン信号DWのアサート状態に応答して-1のダウンカウント、アップ信号UPのアサート状態に応答して+1のアップカウントを行う。第2のアップダウンカウンタ45の計数値が遅延制御信号25になる。

【0060】可変遅延回路22は、遅延制御信号25の値がダウンカウントによって小さくされると、前記遅延信号24の位相変化タイミングが図12の(5)であれば状態Cに向けられ、(8)であれば状態Dに向けられるように、前記遅延信号24の位相変化タイミングを早めて、再生クロック信号14の立ち上がりエッジから前記遅延信号24の位相変化タイミングを遠ざける。逆に、可変遅延回路22は、遅延制御信号25の値がアップカウントによって大きくされると、前記遅延信号24の位相変化タイミングが図12の(6)であれば状態Dに向けられ、(9)であれば状態Eに向けられるように、前記遅延信号24の位相変化タイミングを遅らせて、再生クロック信号14の立ち上がりエッジから前記遅延信号24の位相変化タイミングを遠ざける。

【0061】上記データストローブ回路12によれば、以下の作用効果を得ることができる。

【0062】〔1〕遅延信号24の位相変化タイミングを再生クロック信号14の立ち上がりエッジから遠ざけるように、可変遅延回路22による遅延信号24の遅延を制御するから、データ転送レートの高速化により再生クロック信号14の周波数が高くなるに従って再生クロック信号14のデューティーが50%からずれたとき、再生クロック信号14又は2値化信号11にジッタを生じても、正規の信号値をラッチ回路でラッチできるマージンを大きくすることができ、2値化信号11に対して正確に再生データを生成することができる。

【0063】〔2〕電圧制御発振器32内の多相クロック信号23を使用して位相検出を行うので、入力信号の転送レートの変化により電圧制御発振器32の発信周波数が変わった場合でも、位相検出感度を一定にすることができる。

【0064】〔3〕2値化信号11を遅延制御するので、多相のクロック信号23を等しく遅延制御する場合に比べて信頼性の高い制御を容易に実現することができる。

【0065】〔4〕ラッチ回路を直列接続したシフトレジスタ構成を採用して再生クロック信号14の複数周期分のラッチデータを単位にして遅延信号24の変化点を検出するから、ランレンジス信号の規格に照らした異常、例えば、ディスク上の傷等による遅延信号の誤った変化、を識別でき、信頼性の高い信号変化だけを用いて可変遅延回路に対する遅延量の制御を行うことが可能になる。

【0066】〔5〕再生クロック14と遅延信号24の位相判定により位相状態が制御目標から外れている場合、前記可変遅延回路22に対する遅延制御信号25を生成するアップダウンカウンタ45を増減する。制御感度を変更するために、遅延信号24が再生クロック14に対して遅れている又は進んでいる状態を演算器43、43A又は43Bで積分し、その積分値が制御回路27によって任意に指定された値L1im, U1imに達したところで、前記アップダウンカウンタ45の計数値

10 (遅延制御信号)25を更新し、これによって前記可変遅延回路22に対する遅延量を更新する。これにより、再生クロック信号14と遅延信号24との位相関係を制御目標に安定的に収束させることができる。

【0067】〔6〕図10で説明したように、制御目標に対する誤差の大きさまで判断すれば、制御目標への収束も早くなる。

【0068】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0069】例えば、前ランレンジス信号は3T~11Tに限定されない。これに従ってラッチ回路を直列させたシフトレジスタ構成における直列接続段数も2段に限定されず、3段以上であってよい。また、リングオシレータは差動構成でなくてもよく、シングルエンドで構成してもよい。可変遅延回路は動作電流の相互コンダクタنس制御で遅延時間を制御する回路形式に限定されず、ゲート段数の可変制御などによって遅延時間を制御する形式等を採用することも可能である。

30 【0070】また、図11ではアップダウンカウンタ43Bはf相のクロック信号1の2周期毎に信号FST, SLOWを取り込むようにしたが、逆に、前記位相検出回路40Bに、f相の2周期に1度の割合で検出結果を出力させてもよい。

【0071】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

40 【0072】すなわち、製造バラツキや経年変化による特性変化やジッタなどによる影響を吸収し、最適なストローブポイントを自動補正でき、再生クロック信号に同期する再生データを、誤りの少ない高品質なデータとして抽出することができる。

【図面の簡単な説明】

【図1】データ再生手段の一例であるデータストローブ回路の構成を示すブロック図である。

【図2】記録情報再生装置の一例であるDVD又はCD-R ROMドライブ等のディスクドライブ装置のブロック図である。

50 【図3】再生クロック信号のデューティが50%の時の

19

20

データと再生クロック信号との位相関係を示すタイミングチャートである。

【図4】再生クロック信号のデューティが50%でない時のデータと再生クロック信号との位相関係を示すタイミングチャートである。

【図5】電圧制御発振器の一例を示す論理回路図である。

【図6】可変遅延回路の一例を示すブロック図である。

【図7】再生クロック信号の1周期の中から遅延信号の変化点を検出する位相検出回路を例示するブロック図である。

【図8】図7の位相検出回路の位相検出動作を示すタイミングチャートである。

【図9】第1のアップダウンカウンタの計数値に対する遅延制御信号の更新タイミングの一例を示すタイミングチャートである。

【図10】制御目標に対する誤差の大きさも検出可能にする遅延制御回路を例示するブロック図である。

【図11】再生クロック信号の2周期の中から遅延信号の変化点を検出する位相検出回路の構成を示すブロック図である。

【図12】図11の位相検出回路の位相検出動作を示すタイミングチャートである。

【図13】図11の位相検出回路における位相検出動作の2通りの手法を示す説明図である。

【符号の説明】

- 1 ディスクドライブ装置
- 3 光ディスク
- 9 アンプ
- 10 スライサ
- 11 2値化信号
- 12 データストローブ回路（データ再生手段）

14 再生クロック信号

15 再生データ

16 信号処理回路

21 PLL回路

22 可変遅延回路

23 (CLK1~CLKn) 多相クロック信号

24 遅延信号

25 遅延制御信号

26 遅延制御回路

30 位相比較器

32 電圧制御発振器

INV1~INVn 差動インバータ

DBUF1~DBUFn 差動入力バッファ

37 D/Aコンバータ

38 遅延回路

FFa~FFe ラッチ回路

FFf1~FFh2 ラッチ回路

40、40A、40B 位相検出回路

41、41B 信号形成回路

20 S LW 遅延検出信号

F ST 先行検出信号

Add/Sub 演算指示信号

AB1, AB2 数値信号

43、43B アップダウンカウンタ（第1の演算回路）

43A 加減算回路（第1の演算回路）

44 コンパレータ（到達検出回路）

45 アップダウンカウンタ（第2の演算回路）

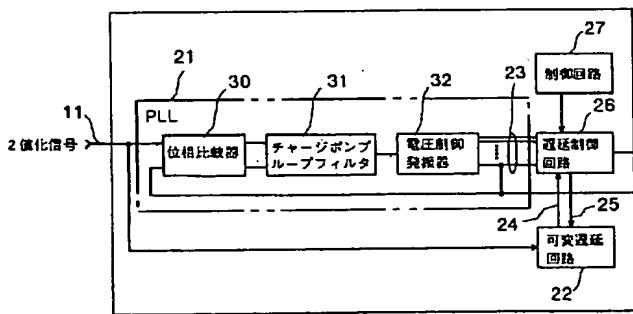
Ulim 上限値（第1の閾値）

30 Llim 下限値（第2の閾値）

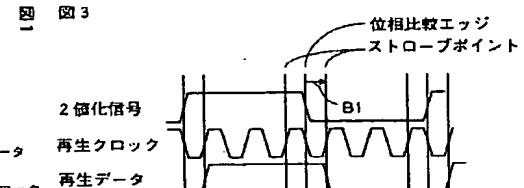
UP アップ信号

DWN ダウン信号

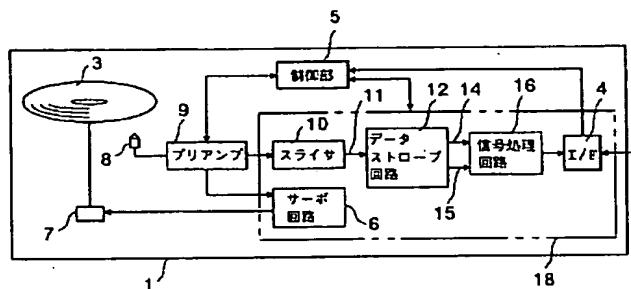
【図1】



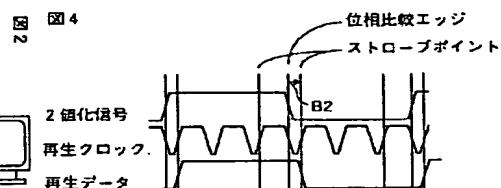
【図3】



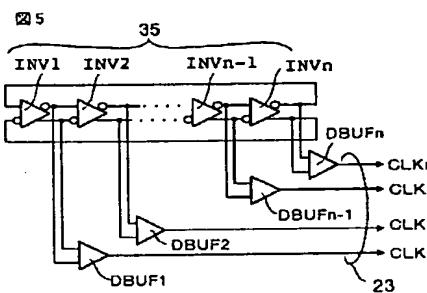
(☒ 2)



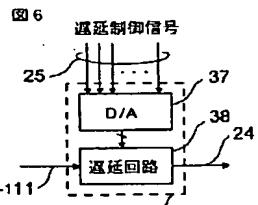
[図4]



【図5】

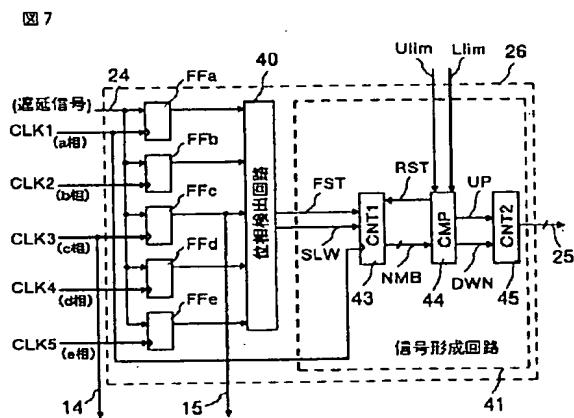


[図6]

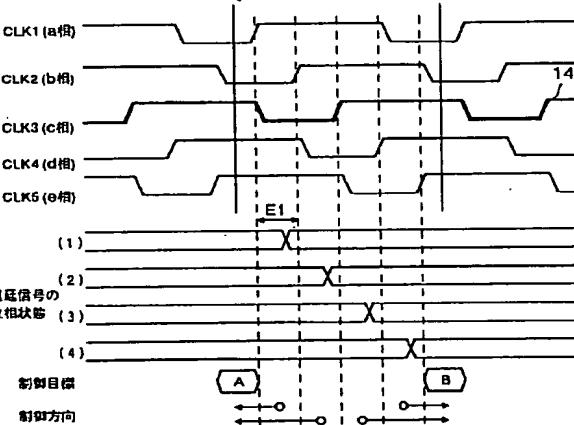


【図8】

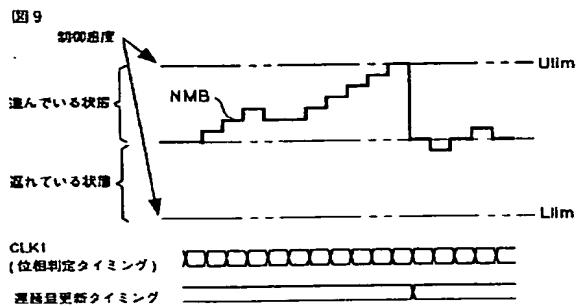
【図7】



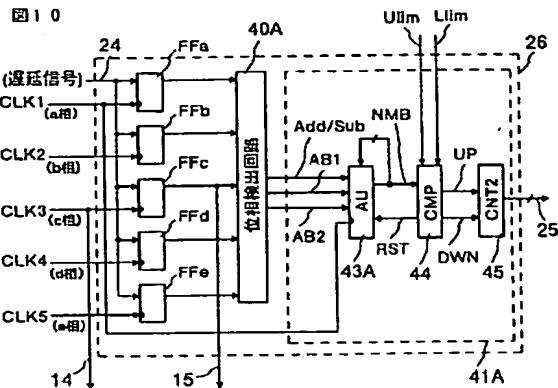
8



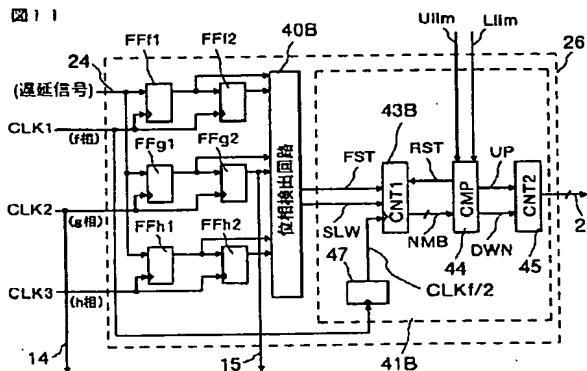
【図9】



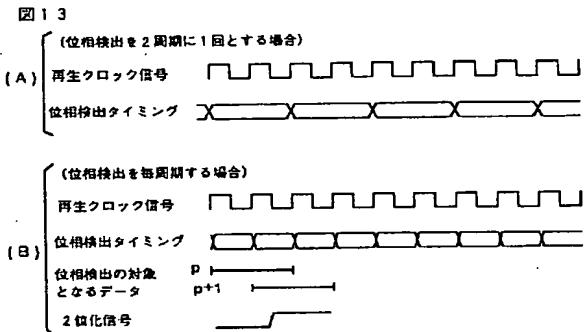
【図10】



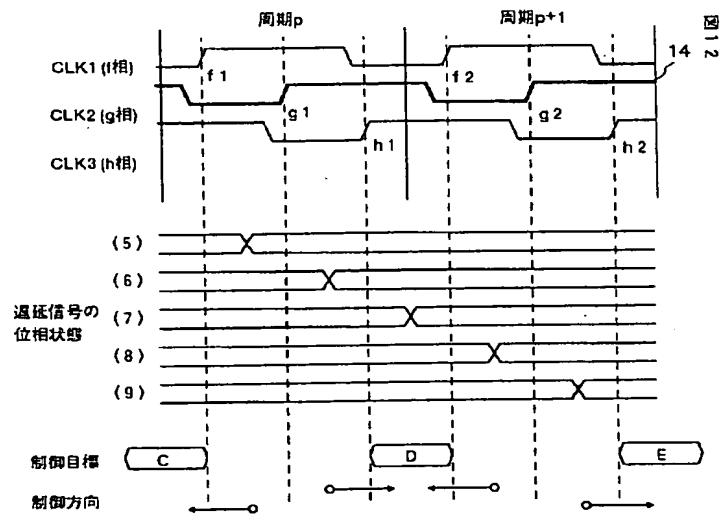
【図11】



【図13】



【図12】



フロントページの続き

(51) Int. Cl.

識別記号

F I
H 0 4 L 7/02

マークコード(参考)
Z

(72) 発明者 米谷 浩幸

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

F ターム(参考) 5D044 BC03 CC04 DE32 GM12 GM14
GM15
5J106 AA04 BB03 CC01 CC24 CC59
DD32 FF02 FF07 KK05 KK25
KK36
5K047 AA05 AA11 CC11 GG11 MM27
MM36 MM46 MM50 MM53